

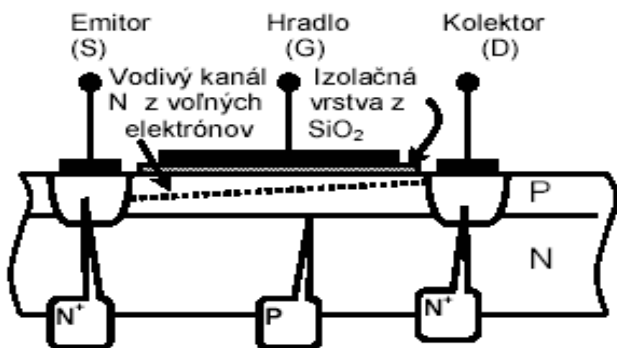
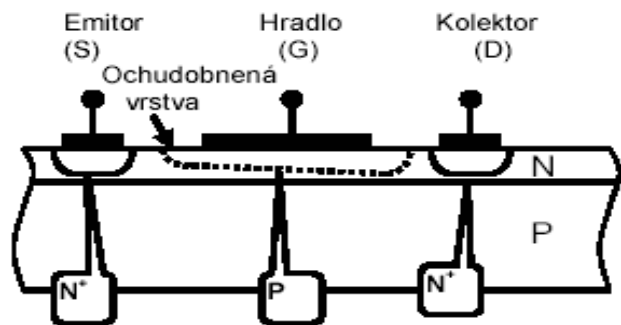
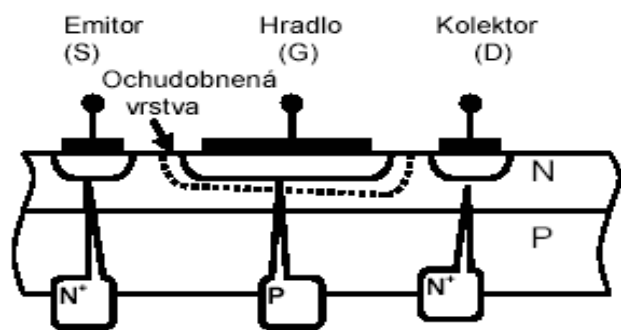
# Základy elektroniky

## kap.5

Linus Michaeli

# 5 Unipolárny tranzistor

Štruktúra tranzistorov J FET a.) MES FET b.) a MOS FET c.)



- Sú to napäťovo-riadené súčiastky s vysokou vstupnou impedanciou FETy
  - FETy sú teplotne stabilnejšie ako bipolárne tranzistory .
  - Výroba FETov je jednoduchšia ako výroba bipolárnych tranzistorov, lebo vyžaduje menej maskovacích krokov a menej difúzií. Väčšia počet súčiastok (na jeden čip.
  - Pre malé hodnoty napätia medzi kolektorom a emitorom sa FETy chovajú ako napätím riadené rezistory .
  - Vysoká vstupná impedancia FETov dovoľuje uchovať náboj k vstupu pripojeného kondenzátora pomerne dlho. Dynamické pamäte
  - Tiež široká škála obvodov založená na spínaní kondenzátorov (angl. switched capacitors – SC) využíva možnosť tvorby kondenzátorov s presným pomerom ich hodnôt a vysokého vstupného odporu na odčítanie na nich zaregistrovaného napätia.
  - Výkonové FETy môžu rozptýliť väčší výkon a spínať veľké prúdy .
- Nevýhody :**
- FETy majú obyčajne horšiu frekvenčnú odpoveď z dôvodu vysokej vstupnej kapacity .
  - Niektoré typy FETov majú horšiu linearitu.
- c.) • FETy môžu byť zničené pri manipulácii dôsledkom statickej elektriny. Paralelne k vstupnému hradlu implantované napäťové obmedzovače.

# 5

# Unipolárny tranzistor

Šírka odsýtenej vrstvy  $U_{GB}$  Hradlo substrát

$$y_d \cong \sqrt{\frac{2\epsilon U_{GB}}{qN_d}}$$

Prahové napätie  $U_P$  keď  $y_d = a$  celá šírka kanálu

$$U_P = \frac{qN_d a^2}{2\epsilon} \Rightarrow y_d = a \sqrt{\frac{U_{GB}}{U_P}}$$

Šírka vodivého kanálu

$$a - y_d = a - \sqrt{a^2 \frac{U_{GC}}{U_P}} = a \left( 1 - \sqrt{\frac{U_{GC}}{U_P}} \right)$$

Odpor kanálu

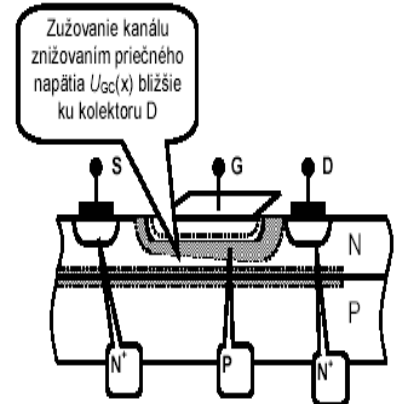
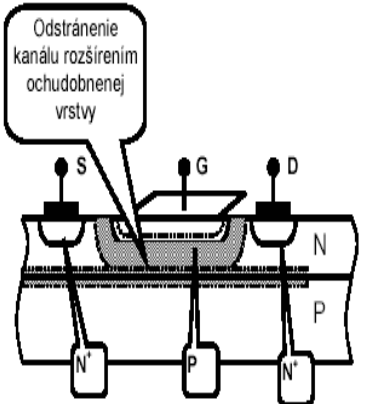
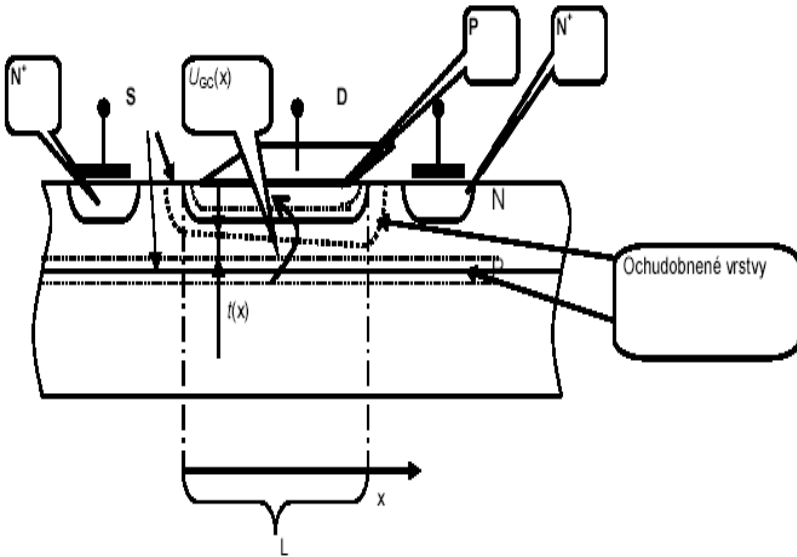
$$R = \frac{\rho L}{S} = \frac{\rho L}{Wa \left( 1 - \sqrt{\frac{U_{GB}}{U_P}} \right)} = \frac{R_0}{\left( 1 - \sqrt{\frac{U_{GB}}{U_P}} \right)}; \text{ merná vodivosť } \rho = \frac{1}{q\mu_n N_d}$$

Prúd kolektorom

$$I_D = \frac{U_{DS}}{R} = \left( U_{GS} - \frac{U_{DS}}{2} - U_P \right) = U_{GB} = \frac{U_{DS} U_P}{R_0 U_P} \left( 1 - \sqrt{\frac{U_{GS} - U_{DS}/2}{U_P}} \right)$$

$$\cong \frac{1}{R_0 U_P} \left[ U_{DS} (U_{GS} - U_P) - \frac{U_{DS}^2}{2} \right] = \beta = \frac{|U_P|}{R_0} = \frac{\beta}{U_P^2} \left[ U_{DS} (U_{GS} - U_P) - \frac{U_{DS}^2}{2} \right]$$

$$g_d = \frac{1}{r_d} = \left. \frac{\partial I_D}{\partial U_{DS}} \right|_{U_{DS}=0} \cong \frac{\beta}{U_P^2} (U_{GS} - U_P)$$



Diferenciálna vodivosť

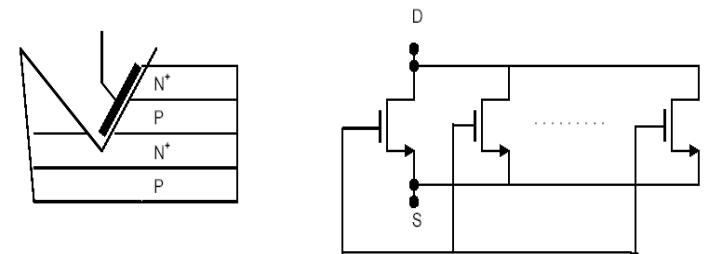
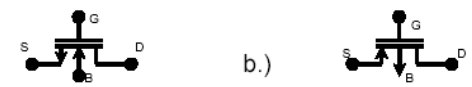
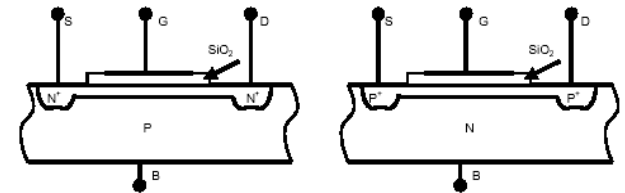
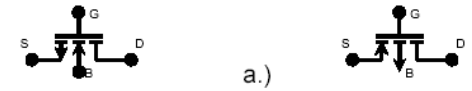
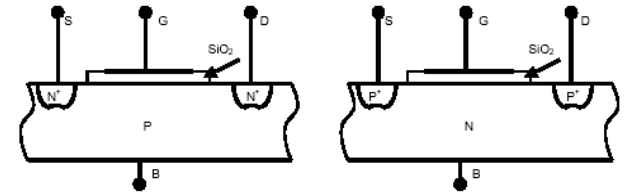
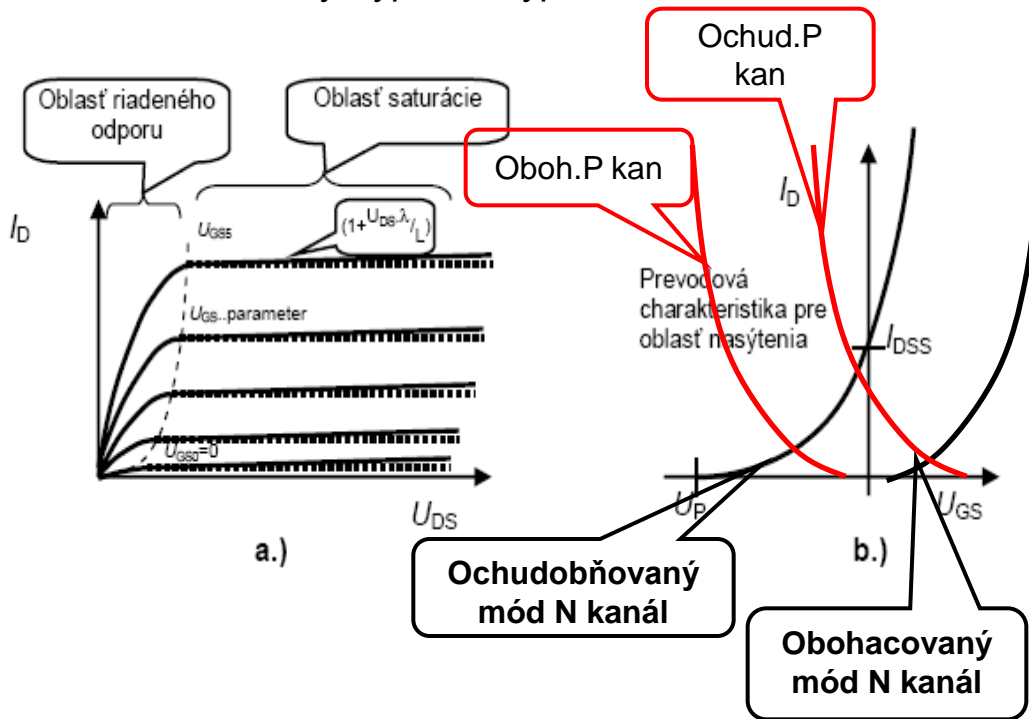
# 5 Unipolárny tranzistor

Priškrtenie kanála pri kolektore nastane keď  $U_{GS} - U_{DS} = U_P$ . Prúd kolektorom po priškrtení kanálu „saturácii“

$$I_D = |U_{GS} - U_{DS} = U_P| = \frac{\beta}{U_P^2} \left[ \underbrace{U_{DS}}_{(U_{GS} - U_P)} (U_{GS} - U_P) - \frac{U_{DS}^2}{2} \right] = \frac{\beta}{2} \left( \frac{U_{GS}}{U_P} - 1 \right)^2$$

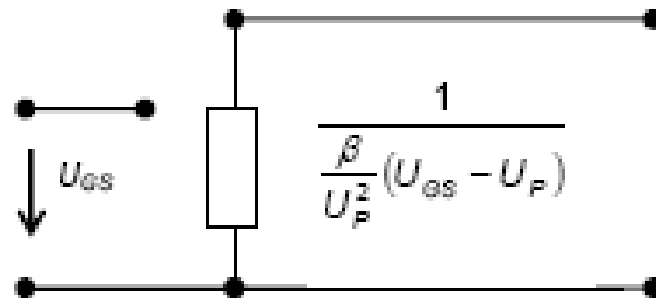
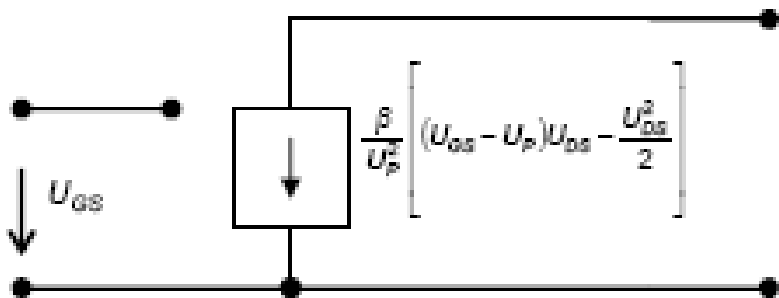
$$I_D = \frac{\beta}{2 \cdot U_P^2} (U_{GS} - U_P)^2 \left[ 1 + \left( \frac{\lambda}{L} \right) U_{DS} \right]$$

Kanál môže byť typu N a typu P

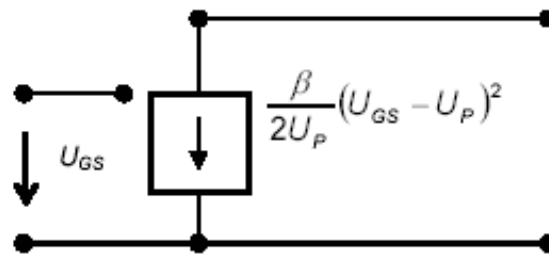
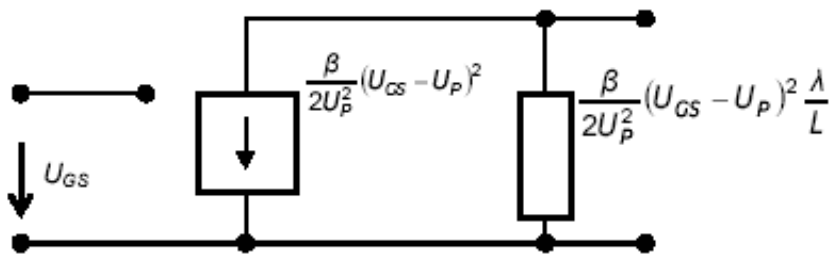


## 5.4 Modely poľom riadených tranzistorov

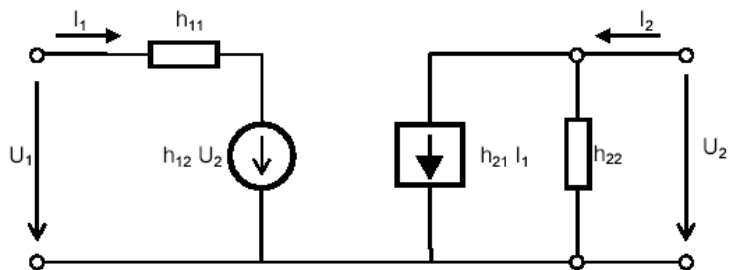
Model poľom riadeného tranzistora v oblasti otvoreného kanálu



Model poľom riadeného tranzistora v oblasti saturácie



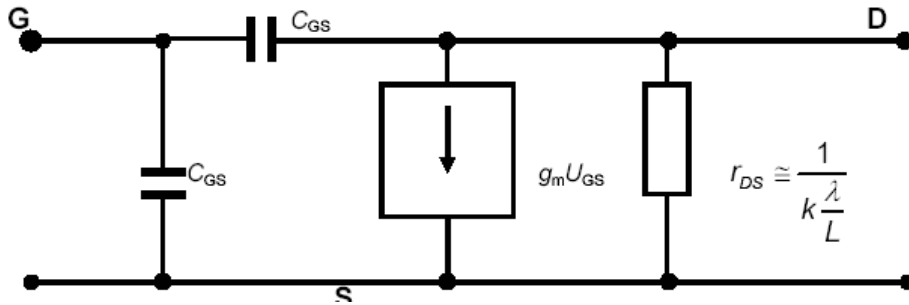
Linearizovaný model poľom riadeného tranzistora v oblasti saturácie



$$\left. \begin{aligned} U_{GS} &= h_{11} I_G + h_{12} U_{DS} \\ I_D &= h_{21} I_G + h_{22} U_{DS} \end{aligned} \right\} \begin{aligned} U_1 &= h_{11} I_1 + h_{12} U_2 \\ I_2 &= h_{21} I_1 + h_{22} U_2 \end{aligned}$$

## 5.4 Linearizovaný model FE tranzistorov

Linearizovaný model polóm riadeného tranzistora v oblasti saturácie



Maticový zápis hybridnou maticou

$$\left. \begin{aligned} U_{GS} &= h_{11} I_G + h_{12} U_{DS} \\ I_D &= h_{21} I_G + h_{22} U_{DS} \end{aligned} \right\} \begin{aligned} U_1 &= h_{11} I_1 + h_{12} U_2 \\ I_2 &= h_{21} I_1 + h_{22} U_2 \end{aligned}$$

$$h_{11} = \left. \frac{U_{GS}}{I_G} \right|_{U_{DS}=0} = \frac{1}{j\omega(C_{GD} + C_{GS})}$$

$$h_{12} = \left. \frac{U_{GS}}{U_{DS}} \right|_{I_G=0} = \frac{C_{GD}}{C_{GD} + C_{GS}}$$

$$h_{21} = \left. \frac{I_D}{I_G} \right|_{U_{DS}=0} = \frac{g_m}{j\omega(C_{GD} + C_{GS})}$$

$$h_{22} = \left. \frac{I_D}{U_{DS}} \right|_{I_G=0} = \frac{1}{r_{DS}} + j\omega \frac{C_{GD} C_{GS}}{(C_{GD} + C_{GS})} + g_m \frac{C_{GD}}{C_{GD} + C_{GS}}$$

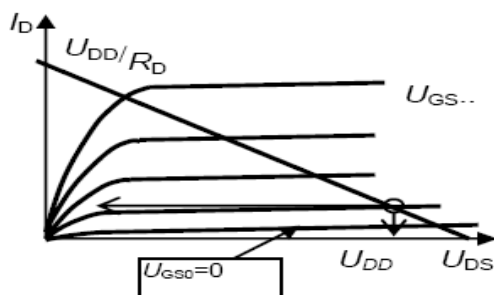
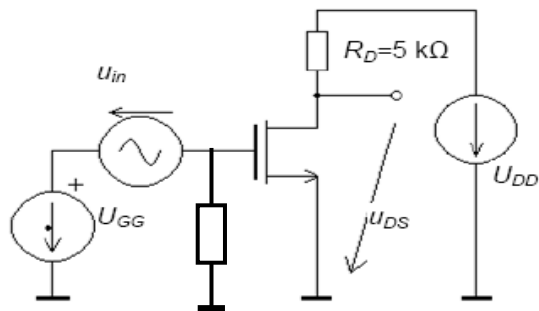
Maticový zápis admitančnou maticou Y

$$\left. \begin{aligned} I_1 &= Y_{11} U_1 + Y_{12} U_2 \\ I_2 &= Y_{21} U_1 + Y_{22} U_2 \end{aligned} \right\} \approx \begin{aligned} I_1 &= 0 \\ I_2 &= g_m U_1 + \frac{U_2}{r_{DS}} \end{aligned}$$

# 5.5 Aplikácie poľom riadených tranzistorov

Aplikácie J FET tranzistorov a MOS FET tranzistorov v ochudobňovanom móde

Rovnice určujúce pracovný bod

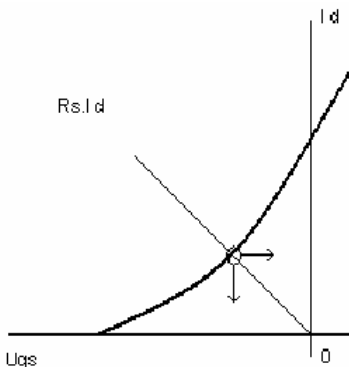
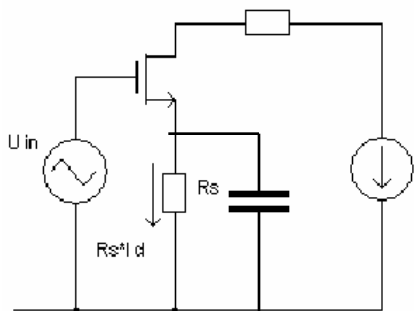


$$U_{DD} = I_D R_D + U_{DS}$$

$$U_{GS} = U_{GG} + u_{in}$$

$$I_D = \frac{\beta}{2} \left( \frac{U_{GS}}{U_P} - 1 \right)^2$$

Možnosť nastavovania prac. bodu



$$U_{DS} = U_{DD} - I_D R_D = U_{DD} - \frac{I_{DSS}}{U_P^2} (U_{GS} - U_P)^2 = 10 - \frac{50 \cdot 10^{-6}}{1^2} (1,5 - 1)^2$$

$$U_{DS} = 9,4V$$

Zosilnenie invertujúceho stupňa

$$A_u = \frac{\partial U_{DS}}{\partial U_{GS}} = g_m \cdot R_D; \quad R_{in} \rightarrow \infty; \quad R_{out} = r_{DS} \parallel R_D \cong R_D$$

$$g_m = \frac{\partial I_D}{\partial U_{GS}} = \frac{\beta}{U_P^2} (U_{GS} - U_P)$$

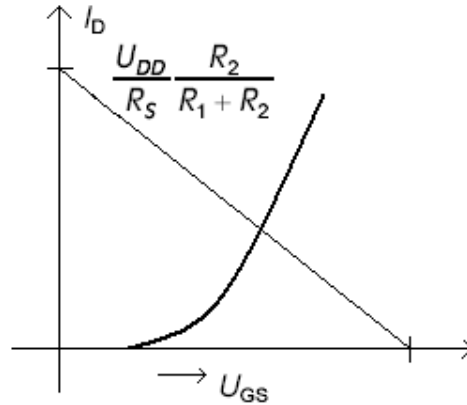
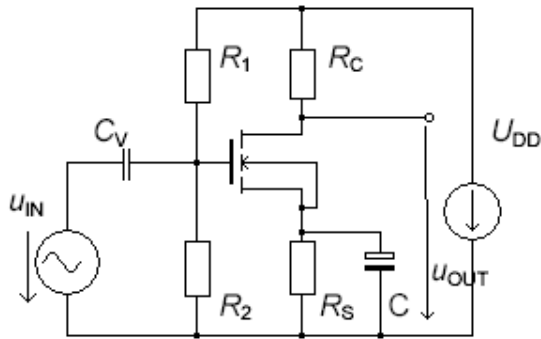
Pracovný bod určený riešením sústavy rovníc z ktorých jedna je kvadratická.

$$\left. \begin{aligned} U_{GS} &= I_D R_S \\ I_D &= \frac{I_{DSS}}{U_P^2} (U_{GS} - U_P)^2 \end{aligned} \right\} \Rightarrow U_{GS} = \left( U_P + \frac{U_P^2}{2 \cdot R_S I_{DSS}} \right) \left( 1 + \sqrt{1 - \frac{1}{\left( 1 + \frac{U_P}{2 \cdot R_S I_{DSS}} \right)^2}} \right)$$

Spätnoväzobný účinok odporu v emitore blokový kondenzátorom.

## 5.5 Aplikácie poľom riadených tranzistorov

Aplikácie MOS FET tranzistorov v obohacovanom móde  
Hradlo musí byť kladnejšie



Rovnice určujúce pracovný bod

$$U_{GS} = U_{DD} \frac{R_1}{R_1 + R_2} - I_D R_S$$

$$I_D = \frac{\beta}{2 \cdot U_P^2} (U_{GS} - U_P)^2$$

Dolná medzná frekvencia

$$\frac{1}{\omega_D C_V} = \frac{R_1 R_2}{R_1 + R_2}; \Rightarrow C_V = \frac{R_1 + R_2}{\omega_D R_1 R_2}$$

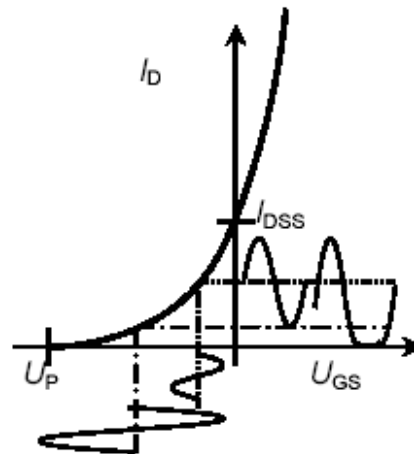
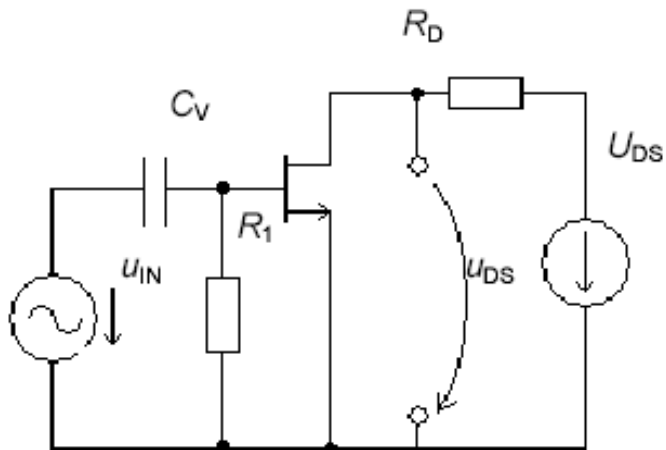
$$\left. \begin{aligned} u_{GS} &= u_{in} - g_m u_{GS} \hat{X}_S \\ u_{out} &= g_m u_{GS} R_D \end{aligned} \right\} \Rightarrow A_u = \frac{u_{out}}{u_{in}} = \left| \frac{g_m R_D}{1 + g_m \hat{X}_S} \right|; \hat{X}_S = \frac{R_S}{j\omega_D R_S C + 1}$$



# 5.5 Nastavenie pracovného bodu sériovým kondenzátorom

Aplikácie JFET tranzistorov s premenným zosilnením

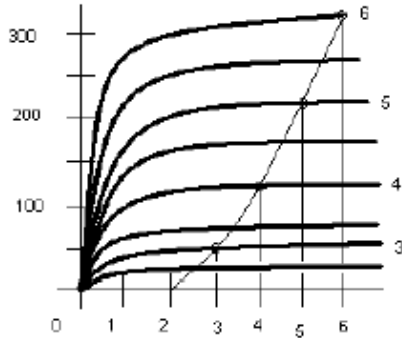
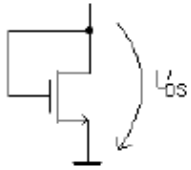
Dolná medzná frekvencia



# 5.5 MOS FET tranzistor ako odpor

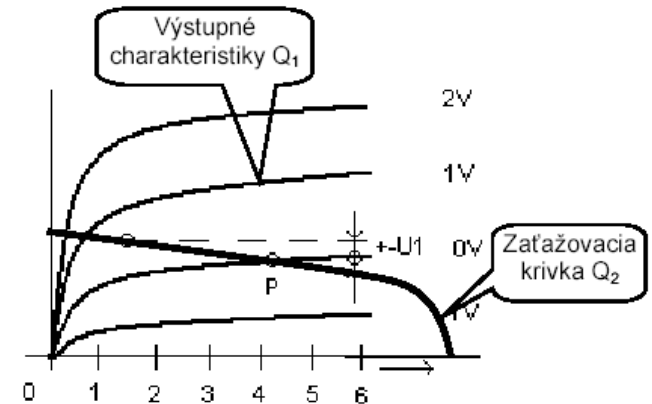
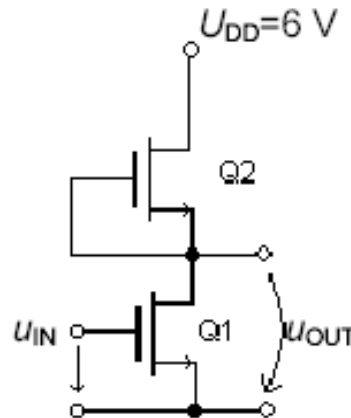
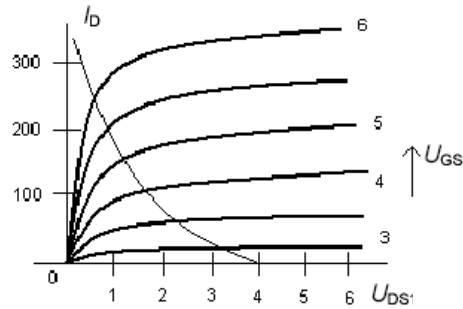
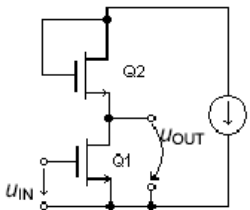
Použitie obohacovaného MOS FET tranzistora

Chovanie opísané rovnicami



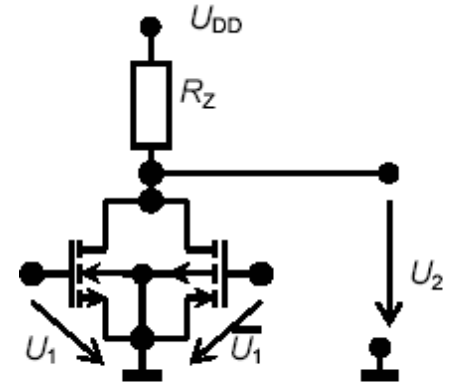
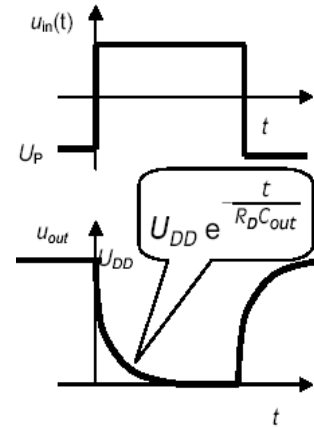
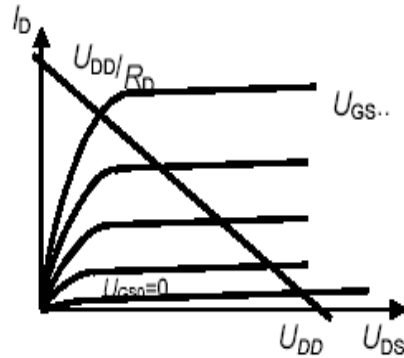
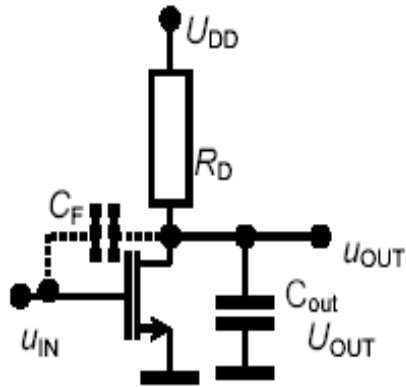
$$U_{DD} = U_{DS1} + U_{DS2}$$

$$I_{D1} = I_{D2}$$

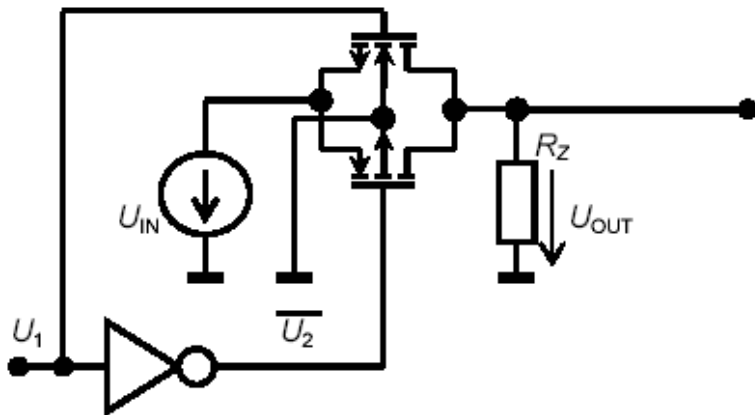


# 5.5 MOS FET tranzistor ako spínač

Použitie MOS FET tranzistora k spoločnej zemi



Použitie MOS FET tranzistora ako sériového spínača zdroja na záťaž



otvorenie :

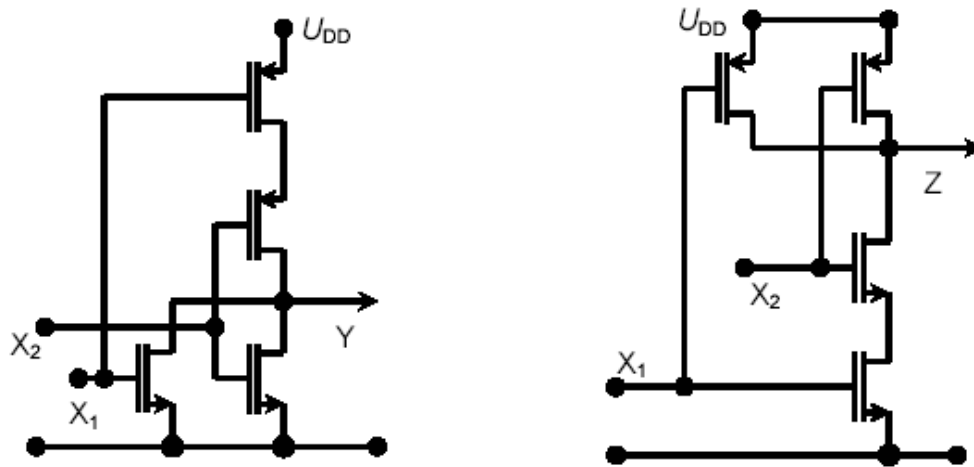
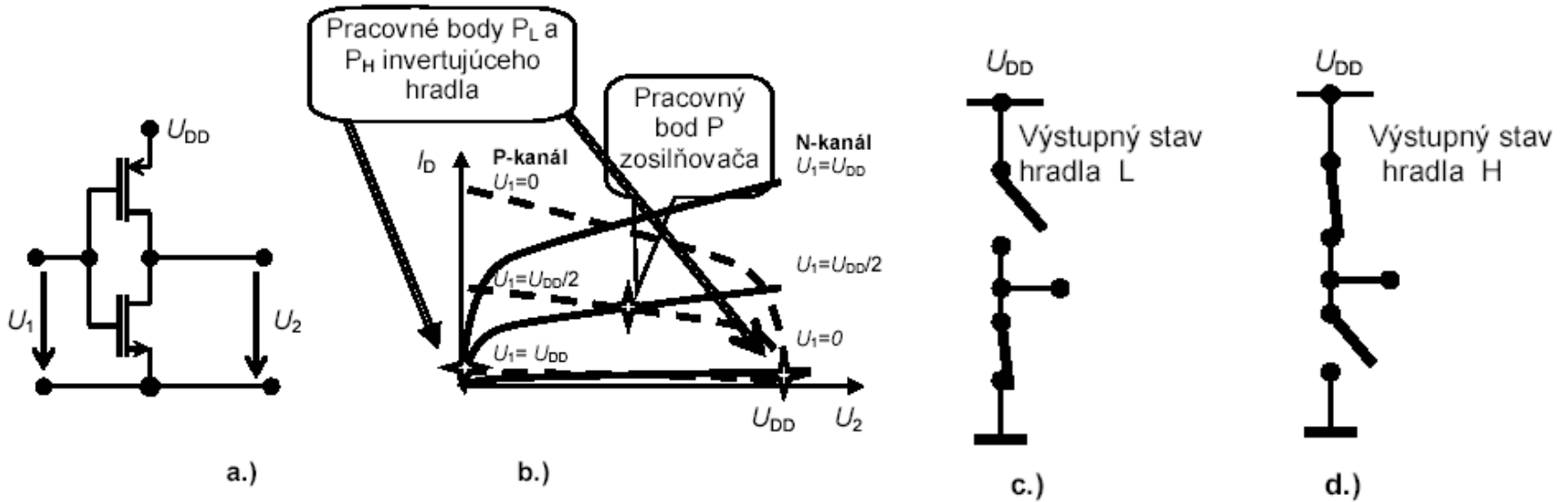
$$Q_1(\text{P-kan}) \Rightarrow U_{GS1} < U_{1\min} + U_{P1}; \quad Q_2(\text{N-kan}) \Rightarrow U_{GS2} > U_{1\max} + U_{P2}$$

zatvorenie :

$$Q_1(\text{P-kan}) \Rightarrow U_{GS1} > U_{1\max} + U_{P1}; \quad Q_2(\text{N-kan}) \Rightarrow U_{GS2} < U_{1\min} + U_{P2}$$

# 5 Číslicové obvody CMOS

Dva stavy CMOS invertora



Dva typy CMOS logických hradel