

1 VÝVOJ APLIKÁCIÍ PRE HRADLOVÉ POLIA ALTERA

1.1 ÚVOD

Hradlové polia firmy **ALTERA** patria do skupiny výkonných obvodov CPLD, ktoré je možné v súčasnosti používať aj na vývoj systémov ČSS. Pre vývoj aplikácií na báze hradlových polí ALTERA je možné využiť návrhové systémy **MAX+PLUS II**¹ resp. novší systém **QUARTUS**², ktoré dodáva firma ALTERA. V rámci opisu systému QUARTUS II, ktorý je dostupný aj vo voľne šiirenej obmedzenej verzii (tzv. **Web edition**) sa sústredíme na jeho základný opis a získanie základných poznatkov o jeho možnostiach. Podrobnejšie informácie je možné nájsť na webovej stránke firmy Altera – www.altera.com.

1.2 OBVODY FIRMY ALTERA

Firma Altera patrí medzi najväčších výrobcov hradlových polí a vyrába niekoľko rôznych typov programovateľných obvodov, ktoré sa líšia zložitou, architektúrou a použitou technológiou:

CLASIC

EPROM technológia, náhrada za jednoduché PAL a GAL obvody

MAX5000

EPROM technológia, náhrada za niekoľko PAL, GAL obvodov

MAX7000, MAX9000

EPROM ako aj novšia EEPROM technológia³, veľmi rýchle obvody, architektúra red square.

MAX3000

EEPROM, optimalizované pre nízku cenu.

¹ Systém MAX+PLUS II umožňuje realizovať vývoj pre všetky typy hradlových polí firmy ALTERA až po rodinu (vrátane) ACEX.

² Systém QUARTUS v súčasnosti podporuje okrem starších obvodov aj najnovšie obvody APEX, APEX II, Mercury a od verzie II aj najnovšie obvody STRATIX a CYCLONE. Existuje aj voľne šírená obmedzená verzia Altera QUARTUS II Web Edition (www.altera.com) je použiteľná po získaní voľne dostupného licenčného kódu na adrese **www.altera.com**.

³ Podpora ISP (In System Programming).

FLEX8000

SRAM technológia, terasovitá, zložitosť od 4000 – 24000 použiteľných hradiel, vhodné aj pre jednoduchšie systémy ČSS

FLEX10K

SRAM technológia, terasovitá, obsahuje aj bloky RAM (vhodné napr. na realizáciu oneskorovacích liniek, tabuliek a pod.). Zložitosť do 250000 použiteľných hradiel, vhodné aj pre zložitejšie systémy ČSS.

FLEX6000

SRAM technológia, optimalizované pre nízku cenu.

APEX a APEX II

SRAM technológia, terasovitá, obsahuje aj bloky RAM (vhodné napr. na realizáciu oneskorovacích liniek, tabuliek a pod.). Zložitosť do 2000000 použiteľných hradiel, vhodné aj pre zložité systémy ČSS.

ACEX

SRAM technológia, cenovo optimalizovaný rad obvodov vychádzajúci z obvodov APEX a FLEX10K.

MERCURY

SRAM technológia, optimalizovaný pre rýchle telekomunikačné aplikácie.

STRATIX

SRAM technológia, obvody obsahujúce veľké bloky dát a špecializované bloky pre ČSS (rekonfigurovateľné hardvérové násobičky). V súčasnosti najvýkonnejšie hradlové polia od firmy Altera.

CYCLONE

SRAM technológia, najnovšie obvody optimalizované pre dosiahnutie najlepšieho pomeru cena/výkon.

V súčasnosti sú dostupné obvody pre napájacie napätia 5V , 3,3V, 2,5V a 1,8V. Nižšie napájacie napätia sú charakteristické pre zložitejšie obvody. Rozhranie JTAG, ktoré je u novších obvodov samozrejmosťou je možné využiť aj na konfiguráciu obvodov.

1.3 VÝVOJOVÉ PROSTREDIE MAX+PLUS II

Vývojové prostredie ALTERA MAX+PLUS II patrilo (pred niekoľkými rokmi) vo svojej kategórii medzi špičkové produkty. V súčasnosti je ako hlavný návrhový systém preferovaný systém QUARTUS II a umožňuje predovšetkým:

- schématický vstup,
- vstup pomocou jazykov⁴ pre popis hardvéru (HDL – Hardware Description Language),

⁴ V baseline verzii MAX+PLUS II bol podporovaný jazyk AHDL, v plnej verzii aj jazyky VHDL a Verilog HDL. QUARTUS II podporuje všetky uvedené jazyky.

- podporu hierarchických projektov
- funkčnú simuláciu,
- automatická syntéza a optimalizácia pre jednotlivé obvody firmy ALTERA
- časovú simuláciu,
- exportovanie štandardných výstupných súborov pre iné systémy CAD
- konfiguráciu resp. generovanie konfiguračných súborov pre obvody firmy ALTERA,
- využitie knižníc parametrizovateľných modulov a optimalizovaných megafunkcií.

Schématický vstup je pre začiatočníkov veľmi výhodná forma zadávania schémy zapojenia, ktorý je koncepčne veľmi podobný napr. s kreslením schém v iných programoch CAD (napr. ORCAD). Vstup pomocou HDL je však v súčasnosti považovaný za podstatne efektívnejší spôsob a dokumentuje ho napr. nasledujúci príklad realizácie čítača v jazyku AHDL:

```

CONSTANT VELKOST = 4;
SUBDESIGN ahdlcnt
(
    clk, load, ena, clr, d[VELKOST-1..0]    : INPUT;
    q[VELKOST-1..0]                        : OUTPUT;
)
VARIABLE
    count[VELKOST-1..0]                    : DFF;
BEGIN
    count[].clk = clk;
    count[].clrn = !clr;

    IF load THEN
        count[].d = d[];
    ELSIF ena THEN
        count[].d = count[].q + 1;
    ELSE
        count[].d = count[].q;
    END IF;

    q[] = count[];
END;
```

4-bitový čítač počíta hodinové impulzy a inkrementuje svoju hodnotu o +1. V prípade, že potrebujeme realizovať čítač, ktorý sa inkrementuje napr. o hodnotu +3, stačí napr. zmeniť riadok

```

count[].d = count[].q + 1;
na
count[].d = count[].q + 3;
```

a návrhový systém automaticky vo fáze syntézy navrhne vhodnú štruktúru. Z hľadiska užívateľa je to určite podstatne jednoduchšie ako nakresliť schému čítača, ktorý by sa inkrementoval o hodnotu +3 (**vedeli by ste ju nakresliť?**). Pokiaľ áno, predstavte si koľko práce by ste museli vynaložiť na nakreslenie napr. 32-bitového čítača! V AHDL stačí iba zmeniť riadok

```

CONSTANT VELKOST = 4;
na
CONSTANT VELKOST = 32;
```

čo jasne dokumentuje výhodu použitia HDL. Podobne výhody má aj jazyk VHDL resp. Verilog.

Schématický vstup je možné s výhodou využiť pri **hierarchickej reprezentácii** zložitejších celkov ako je napr. I-Q modulátor⁵, ktorého bloková schéma je znázornená na nasledujúcom obrázku.

Figure 13 BlockDiagram of QAM Example

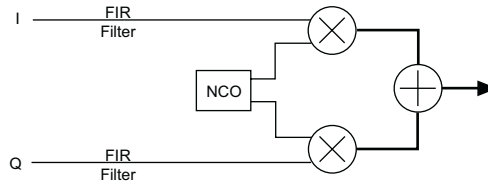
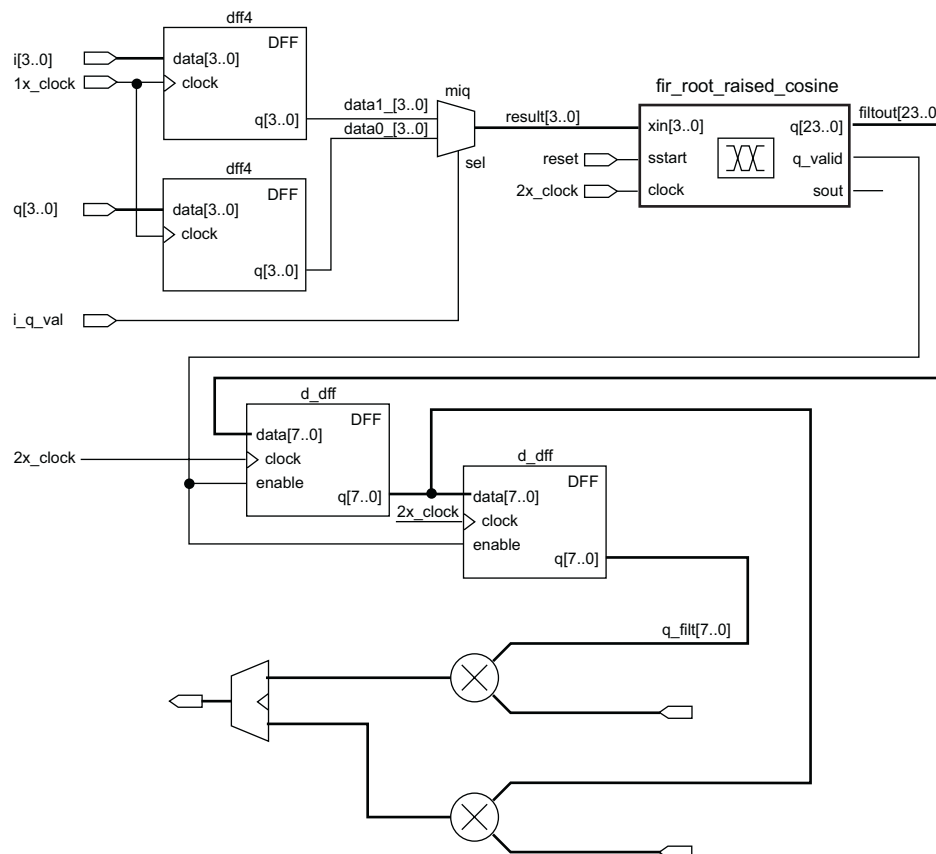


Schéma zapojenia v systéme QUARTUS II, ktorá využíva parametrizovateľné bloky je zobrazená na nasledujúcom obrázku.

Figure 14. QAMExample Schematic



1.4 KNIŽNICE PARAMETRIZOVATEĽNÝCH BLOKOV

Podobne ako to je pri vývoji softvéru pre DSP je možné zvýšiť efektivitu práce využitím hotových knižničných funkcií. Systém QUARTUS II poskytuje niekoľko

⁵ I-Q modulátor predstavuje základný stavebný blok moderných telekomunikačných zariadení.

základných parametrizovateľných blokov – tzv. **megafunkcií** ako napr.: LPM_add, LPM_sub, LPM_ram, LPM_rom, LPM_counter, ...

Parametrizovateľnosť blokov umožňuje definovať vlastnosti konkrétneho bloku ako je napr. šírka zbernice, počet klopných obvodov čítača a pod. Pomocou týchto blokov je možné vytvárať zložitejšie celky. Megafunkcie v systéme QUARTUS II (MAX+PLUS II) patria medzi základné a relatívne jednoduché bloky. Podstatne zložitejšie megafunkcie je možné získať od nezávislých firiem, ktoré podporujú produkty ALTERA v rámci programu **Altera Megafunction Partners Program (AMPP)**. Tieto megafunkcie umožňujú realizovať aj reaktívne zložité bloky ako napr. [1] (sú vymenované len niektoré!):

- C8051 Microcontroller Unit
- RISC Processor
- 64-Bit PCI Master/Target
- DMA Controller
- C16550 UART
- eXtended MIDI
- Multi-Standard ADPCM
- Discrete Cosine Transform
- FFT/IFFT
- Convolutional Encoder
- Reed-Solomon Decoder
- IIR Filter Library
- DES-Core
- Numerically Controlled Oscillator
- a iné ...

Najnovšie bloky je možné nájsť na www.altera.com. Vývoj týchto blokov predstavuje veľké množstvo práce a preto tieto bloky sú výrobcami **chránené** a relatívne drahé. Výrobcovia však **poskytujú možnosť testovať** tieto bloky aj bez zakúpenia licencie s pomocou tzv. vlastnosti **OpenCore**. Po stiahnutí voľne dostupných verzií megafunkcií je možné realizovať všetky etapy návrhu **okrem** generovania výstupného konfiguračného súboru, čo umožňuje overiť vhodnosť konkrétnej megafunkcie (napr. veľkosť v CPLD čipe, presnosť, rýchlosť, ...). **Po zakúpení licencie** je možné **vygenerovať** aj konfiguračný kód.

1.5 REALIZÁCIA FIR FILTROV POMOCOU HRADLOVÝCH POLÍ

Realizácia blokov ČSS pomocou hradlových polí vyžaduje špecifické prístupy, ktoré sa snažia využiť dostupné zdroje hradlových polí. Tieto postupy sú veľmi odlišné od prístupov, ktoré sa využívali v oblasti DSP. Napr. efektívna realizácia FIR filtra využíva princípy tzv. **distribuovanej aritmetiky**, ktorá umožňuje realizovať FIR filter aj bez využitia MAC jednotky, ktorá je z pohľadu implementácie pomocou hradlových polí zložitý blok. V nasledujúcej časti naznačíme základnú myšlienku tejto metódy.

FIR filter je možné opísať vzťahom

$$y[n] = \sum_{k=0}^{K-1} H_k x_k[n] \quad (1.1)$$

pričom $y[n]$ je výstup FIR filtra v čase n , $x_k[n] = x[n-k]$ sú vstupné vzorky v oneskorovacej linke v čase n a H_k sú koeficienty časovo invariantného FIR filtra. V ďalšej časti pre jednoduchosť vynecháme index $[n]$.

Vstupné vzorky x_k môžu byť vyjadrené pomocou dvojkového doplnku v zlomkovom formáte podľa vzťahu

$$x_k = -x_{k0} + \sum_{i=1}^B x_{ki} 2^{-i} \quad (1.2)$$

pričom $K(B+1)$ binárnych premenných x_{ki} nadobúda binárne hodnoty 1 a 0. Po substitúcii (1.2) do (1.1) dostávame

$$y = \sum_{k=0}^{K-1} H_k \left(-x_{k0} + \sum_{i=1}^B x_{ki} 2^{-i} \right) = -\sum_{k=0}^{K-1} x_{k0} H_k + \sum_{k=0}^{K-1} \sum_{i=1}^B H_k x_{ki} 2^{-i} \quad (1.3)$$

čo je možné rozpísať do tvaru

$$y = \begin{aligned} & - \left[x_{00} H_0 + x_{10} H_1 + \dots + x_{K-1,0} H_{K-1} \right] \\ & + \left[x_{01} H_0 + x_{11} H_1 + \dots + x_{K-1,1} H_{K-1} \right] 2^{-1} \\ & + \left[x_{02} H_0 + x_{12} H_1 + \dots + x_{K-1,2} H_{K-1} \right] 2^{-2} \\ & \quad \vdots \\ & + \left[x_{0B} H_0 + x_{1B} H_1 + \dots + x_{K-1,B} H_{K-1} \right] 2^{-B} \end{aligned} \quad (1.4)$$

Vzťah (1.4) je možné vypočítať pomocou tabuliek a sčítačiek bez nutnosti realizovať násobičku.

V rámci programového balíka FIR Compiler sú dostupné dve základné formy FIR filtrov – paralelná a sériová, ktorých základný princíp je znázornený na nasledujúcich obrázkoch.

Figure 9. Parallel Filter Block Diagram

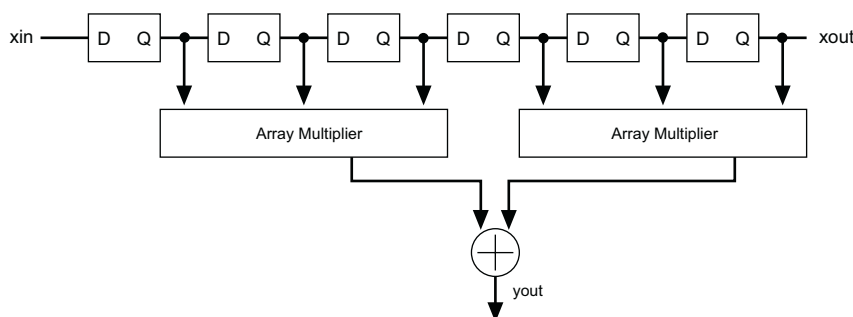
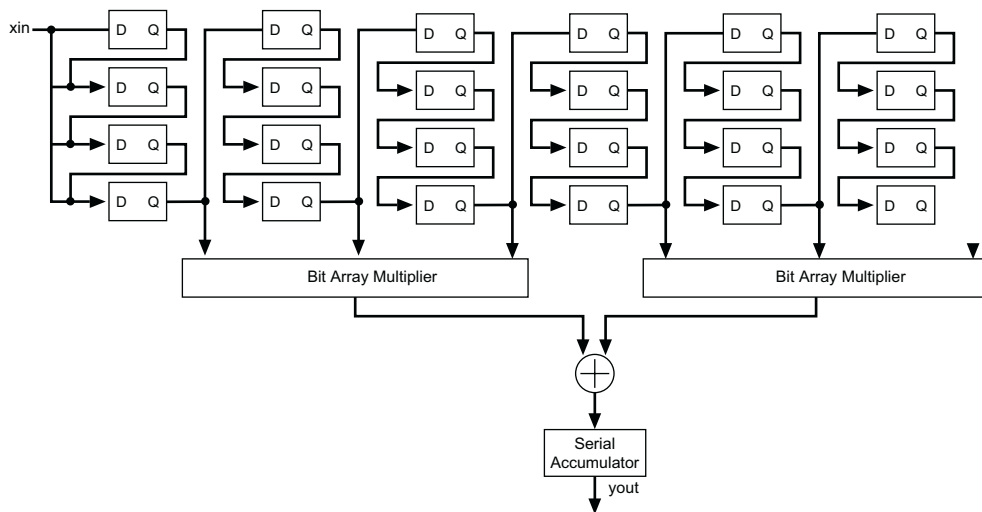
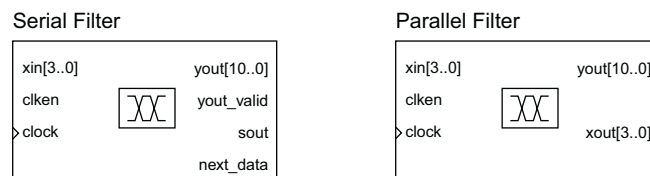


Figure 10. Serial Filter Block Diagram



Význam vstupných a výstupných signálov je uvedený na nasledujúcom obrázku.

Figure 3. Serial & Parallel Symbols



The FIR compiler function has the signals shown in Table 2.

Signal	Structure	Type	Description
xin[width_xin-1..0]	Parallel and serial	Input	Input data to be filtered.
yout[width_yout-1..0]	Parallel and serial	Output	Result of filtering operation performed in xin.
clock	Parallel and serial	Input	Input clock signal.
clken	Parallel and serial	Input	Active-high clock enable.
yout_valid	Serial	Output	Goes high when the output result is valid.
next_data	Serial	Output	Goes high when it is ready to load the next data word.
xout[width_xin-1..0]	Parallel	Output	Output data from the tapped delay line.
sin[x..0]	Serial	Input	Input data to be filtered. The data is shifted in serially one bit at a time (LSB first).
sout	Serial	Output	Output from the tapped delay line (LSB first).
phase_o[]	Parallel and serial	Output	Phase output buses for the polyphase filter with an interpolation or decimation factor greater than 1.

Vlastnosti týchto parametrizovateľných FIR blokov budú demonštrované počas prednášky a cvičení.

LITERATÚRA

- [1] Altera AMPP Catalog, June 1998.