

Plán prednášok z predmetu ČÍSLICOVÉ ELEKTRONICKÉ SYSTÉMY (letný semester 2013)

- 1. Úvod do ASIC obvodov I**
teoretické a základné pojmy
- 2. Úvod do ASIC obvodov II**
historický vývoj a rozdelenie integrovaných obvodov
typy ASIC obvodov (plne zákaznícke, štandardné bunky, hradlové polia)
- 3. Úvod do ASIC obvodov III**
ekonomické aspekty
porovnanie ASIC technológií
ASIC vs. FPGA, možnosti migrácie – štruktúrovaný ASIC
- 4. Klasifikácia PLD z hľadiska technológie výroby**
Technológie programovania: FUSE, PROM, EPROM, EEPROM, SRAM, AntiFuse, FLASH
- 5. Architektúry a typy PLD obvodov I**
jednoduché PLD (SPLD): PLD, PAL, PLA, GAL, EPLD, MACH
- 6. Architektúry a typy PLD obvodov II**
zložité PLD (CPLD)
vybraní výrobcovia Altera, Xilinx, AMD, ...
- 7. Úvod do VHDL**
VHSIC jazyk pre opis hardvéru (VHDL)
návrh a syntéza číslicových obvodov vo VHDL
- 8. Architektúry a typy PLD obvodov III**
užívateľsky rekonfigurovateľné obvody FPGA firiem Xilinx, Altera, Actel
štruktúra vnútorných buniek a prepojovacia sieť, bloky CLB, EAB, LAB, LE
vložené (embedded) pamäte
základné rozdiely medzi obvodmi FPGA firiem Altera a Xilinx
- 9. Metodika návrhu a technologické princípy programovateľných logických polí (PLD)**
činnosť pred začatím návrhu
rozdelenie CAD nástrojov
návrhový diagram a etapy návrhu číslicových systémov s obvodmi PLD
design entry (grafická schéma návrhu pre PLD), hierarchický návrh, knižnica schematických blokov
verifikácia, typy simulácií, funkčná a časová simulácia, optimalizácia návrhu (kritická cesta, spotreba, rýchlosť, veľkosť)
- 10. Vývojové prostriedky pre efektívny návrh FPGA aplikácií**
CAD systémy Altera a Xilinx
Altera-QuartusII
Xilinx-ISE WEB Pack
LPM, Megafunkcie/IP funkcie, MegacoreWizard, SOPC Builder, DSP Builder
- 11. Vývojové etapy s využitím moderných CAD/ CAE systémov**
CAD systémy nezávisle na výrobcach FPGA obvodov, Mentor Graphics
grafická schéma návrhu
- 12. Prehľad rodín FPGA obvodov významných výrobcov**
veľkosti obvodov, napájacie napätia, cena, vložené pamäte, teplotné rozsahy, puzdra
testovacie a vývojové dosky (UP1, UP3, ...), možnosti a obmedzenia
- 13. Využitie obvodov FPGA/ ASIC, typické aplikácie**
telekomunikácie, multimédia, auto elektronika
obvody pre spracovanie zmiešaných signálov: návrh obvodov ASIC

Plán cvičení z predmetu ČÍSLICOVÉ ELEKTRONICKÉ SYSTÉMY (letný semester 2013)

Cvičenia budú v laboratóriu KEMT V102b na Vysokoškolskej 4

- 1. Úvodné demonštračné cvičenie, prezentácia CAD systému Altera Quartus II**
plán cvičení, podmienky udelenia zápočtu, poskytnutie pomocných materiálov na cvičenia (www.kemt.fei.tuke.sk/fpga, www.kemt.fei.tuke.sk/Predmety/KEMT436_FPGA/_web/index.html)
demonštrácia základných etáp práce s obvody FPGA, návrhové prostredie Quartus II, obmedzenia voľnej verzie
- 2. Príklady využitia základných blokov AND, NAND, OR, NOR**
postup tvorby projektu v prostredí Quartus II
práca s grafickým editorom, waveform editorom
funkčná simulácia, verifikácia pomocou vývojovej dosky KEMT CPLD_Kit
- 3. Príklady kombinačných obvodov – dekódera (BIN, DEK, BCD, 7-SEG)**
tvorba projektu v prostredí Quartus II, ďalšie možnosti
syntéza, waveform editor, funkčná simulácia
- 4. Príklady sekvenčných obvodov – čítačov (vpred, vzad, reverzný, synchronný, asynchronný, D, J-K klopné obvody)**
tvorba projektu v prostredí Quartus II, ďalšie možnosti
syntéza, funkčná simulácia
- 5. Práca na projekte**
Priebežný test - realizácia a testovanie návrhu zo zadanej schémy
- 6. Práca na projekte**
pridelenie zadaní
- 7. Úvod do VHDL, príklad kombinačného obvodu- dekodéra vo VHDL**
tvorba projektu, VHDL editor,
syntéza, funkčná simulácia
práca na zadaní
- 8. Sekvenčné obvody vo VHDL, príklad synchronného čítača**
základné možnosti a štruktúra jazyka VHDL, VHDL templates v Quartus II
funkčná a časová simulácia v Quartus II, maximálna frekvencia, kritická cesta
práca na zadaní
- 9. Práca na projekte**
práca na zadaní
- 10. Práca na projekte**
práca na zadaní
- 11. Práca na projekte**
práca na zadaní
- 12. Preberanie zadaní**
ukončenie práce na projektoch, preberanie zadaní
- 13. Udeľovanie zápočtov**

Poznámky k záverečnému hodnoteniu a skúške:

Priebežný test **5** bodov. Odovzdanie a **obhájenie** zadaní (**20** bodov + **15** bodov)

Bonusové body k zadaniu (vyžitie VHDL jazyka) - **10** bodov

Mínusové body (nedokončenie príkladov z 2. až 4. cvičenia) - **6** bodov

(oneskorené odovzdanie projektov) - **4** body každý týždeň

Záverečné hodnotenie spolu - max. **40** bodov

Písomná a ústna skúška - **60** bodov

Spolu **40+60=100** bodov

Témy zadaní z predmetu ČÍSLICOVÉ ELEKTRONICKÉ SYSTÉMY (letný semester 2013)

Témy zadaní budú určené v 6. týždni počas cvičení. Na jednom zadaní bude pracovať maximálne dvojica študentov, pričom obhajoba zadania bude individuálna. Odovzdanie a predovšetkým úspešná obhajoba zadania je nutnou podmienkou udelenia zápočtu a bude hodnotené max **20 (zadanie) + 15 (obhajoba)** bodmi. Náročnejšie zadanie, ktoré bude vypracované s využitím VHDL jazyka bude hodnotené bonusovými 10 bodmi. Počas obhajoby zadania bude overovaná znalosť z problematiky preberanej na cvičeniach (práca v prostredí Quartus II, problematika riešená v zadaní, ...).

Všetky zadania musia splňovať nasledujúce požiadavky:

- obsahovať čelnú stranu s uvedením názvu predmetu, katedry a riešeného zadania, mená riešiteľov, ročník a dátum odovzdania,
- formuláciu zadania,
- teoretický rozbor riešenej problematiky a opisovaného riešenia v rozsahu dostatočnom na pochopenie odovzdaného zadania,
- vytlačené (dostatočne komentované) zdrojové VHDL kódy,
- kompletný projekty v návrhovom prostredí **Quartus II** (funkčná a časová simulácia) v archivačnom **qar** formáte,
- prezentácia výsledkov vo forme grafov, tabuliek a pod.,
- zhodnotenie zadania a dosiahnuté výsledky,
- zadanie vo formáte PDF + zdrojový Office, TeX, OppenOffice a pod.
- zadanie vytlačené a vložené do euroobalu + odovzdané elektronické verzie dokumentov (zaslané emailom).

V prípade, že zadanie nebude obsahovať všetky časti, nebude prevzaté. Zadania budú odovzdávané v 12. týždni na cvičeniach. Za každý týždeň oneskorenia budú strhnuté 4 body.

Okruh otázok z predmetu ČÍSLICOVÉ ELEKTRONICKÉ SYSTÉMY (letný semester 2013)

- 1. Historický vývoj a rozdelenie IO**
- 2. Dôvody použitia obvodov ASIC**
- 3. Alternatívy obvodov ASIC**
základná klasifikácia
- 4. Typy PLD obvodov**
základné štruktúry (SPLD, CPLD, FPGA)
- 5. Ekonomické aspekty a porovnanie ASIC technológií**
- 6. Konverzia FPGA na ASIC**
hlavné výhody a charakteristiky konverzie
- 7. Konverzia FPGA na ASIC**
postup pri procese konverzie
- 8. Metodika návrhu PLD**
činnosť pred započatím návrhu
- 9. Metodika návrhu PLD**
rozdelenie CAD nástrojov
- 10. Metodika návrhu PLD**
modely pre metódy návrhu systémov
- 11. Etapy návrhu číslicových systémov s obvodmi FPD**
diagram návrhu ASIC & FPGA obvodov
- 12. Etapy návrhu číslicových systémov s obvodmi FPD**
špecifikácia a formalizácia návrhu
- 13. Etapy návrhu číslicových systémov s obvodmi FPD**
zjednotenie vstupov, minimalizácia, voľba typu obvodu FPD, optimalizácia použitých prostriedkov
- 14. Etapy návrhu číslicových systémov s obvodmi FPD**
dokumentácia, generovanie „programovacieho“ súboru návrhovým systémom, programovanie, testovanie
- 15. Klasifikácia PLD z hľadiska technológie výroby, FUSE, EPROM a EEPROM**
základný princíp a vlastnosti
- 16. Klasifikácia PLD z hľadiska technológie výroby, SRAM, ANTIFUSE, FLASH**
základný princíp a vlastnosti
- 17. Architektúry a typy číslicových obvodov SPLD, obvody PLD, PAL a PLA**
základná štruktúra, stavebné bloky a vlastnosti
- 18. Architektúry a typy číslicových obvodov CPLD, Lattice pLSI a ispLSI**
základná štruktúra, stavebné bloky a vlastnosti
- 19. Architektúry a typy číslicových obvodov CPLD, MAX 7000 CPLD**
základná štruktúra, stavebné bloky a vlastnosti
- 20. Architektúry a typy číslicových obvodov FPGA, Xilinx XC 4000**
základná štruktúra, stavebné bloky a vlastnosti
- 21. Architektúry a typy číslicových obvodov FPGA, Altera FLEX 10K**
základná štruktúra, stavebné bloky a vlastnosti
- 22. Architektúry a typy číslicových obvodov FPGA, Altera Cyclone**
základná štruktúra, stavebné bloky a vlastnosti
- 23. Vývojové prostriedky obvodov FPGA, Altera- Quartus II**
postup pri návrhu
- 24. Vývojové prostriedky obvodov FPGA, Xilinx- ISE WEB Pack**
postup pri návrhu

- 25. Moderné postupy pri návrhu PLD**
motivácia a grafický popis obvodu
- 26. Mentor Graphic- FPGA Advantage**
postup pri návrhu, výhody
- 27. Funkčná simulácia**
princíp, rozdiel medzi funkčnou a časovou simuláciou
- 28. Časová simulácia**
princíp, Quartus, Modelsim, význam súborov VHO a SDO
- 29. Konfigurácia FPGA obvodov**
základný princíp, základné rozdelenie konfiguračných módov (PS, ...,JTAG)
- 30. Aktívna inicializácia FPGA obvodov**
význam, výhody, využitie
- 31. Pasívna inicializácia FPGA obvodov**
význam, výhody, využitie
- 32. Konfiguračné pamäte**
základné vlastnosti, blokový diagram
- 33. Kompresia a dekompresia konfiguračných dát**
význam, príklad využitia, typické kompresné pomery
- 34. Formáty konfiguračných súborov**
základné rozdelenie (sof, pof, ...)
- 35. Technológia hraničných testov (JTAG)**
základný princíp, signály JTAG rozhrania, zapojenie „daisy chain”
- 36. TAP radič rozhrania JTAG**
princíp, význam a využitie konečného automatu v TAP radiči
- 37. Štruktúra LE CLB bloku v klasických Altera FPGA**
základná štruktúra (LUT, klopny obvod, ...)
- 38. Štruktúra CLB bloku v klasických Xilinx FPGA**
základná štruktúra (LUT, klopny obvod, ...)
- 39. Štruktúra LE a CLB blokov v najnovších FPGA**
trendy vo vývoji (veľkosť LUT, počet klopnych obvodov, ...)
- 40. LPM funkcie**
význam a využitie, typické LPM, porovnanie s Megafunkciami/IP